

IPSES S.r.l.

Scientific  
Electronics



## IL TEST *BOUNDARY SCAN* ABBINATO AL TEST FUNZIONALE



La crescente complessità dei componenti elettronici digitali ha reso sempre più presente l'interfaccia *Boundary Scan* che risulta disponibile su tutti i componenti digitali di ultima generazione come FPGA, microcontrollori, RAM, convertitori.

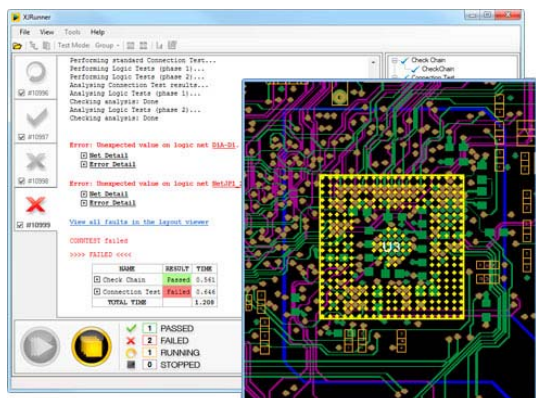
Il *Boundary scan* integra una circuiteria di test all'interno dei *chip* in grado di rendere disponibile un protocollo di collaudo completo a livello di scheda.

I *probe* fisici sono sostituiti con delle celle *Boundary Scan* denominate BSC. Le BSC simulano dei *probe* virtuali per

ogni ingresso e uscita presente sul *chip*. Ogni cella permette di osservare il normale flusso di dati attraverso i *pin* di I/O e controllare lo stato del *pin* attraverso la comunicazione seriale della catena *Boundary Scan*.

Il test *Boundary Scan* permette di verificare la corretta interconnessione di tutti i componenti (assenza di corti circuiti tra le piste e verifica continuità), oltre che la presenza di molti componenti pur non potendone verificare con esattezza il valore.





Esempio di software XJTAG di test *Boundary scan* che evidenzia i *pad* di connessione di un *chip*

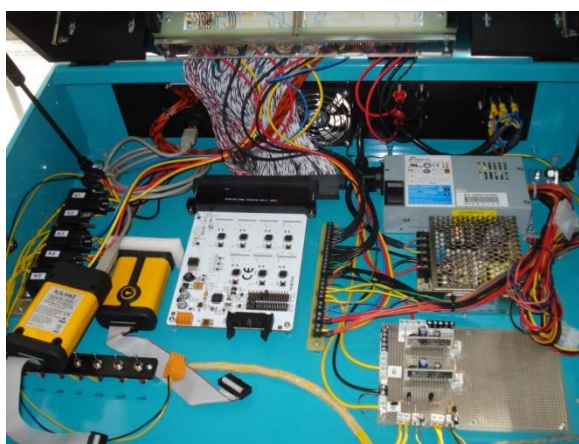
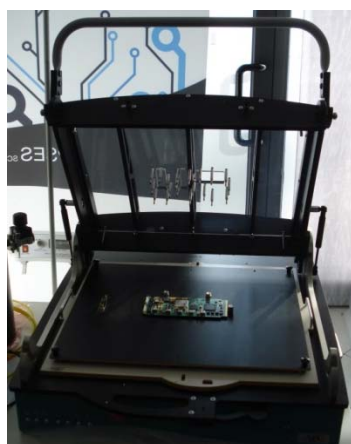
Il test ICT può quindi essere rimpiazzato in molte parti del circuito con un infinitamente meno invasivo test *Boundary Scan*. Tuttavia il test basato su *Boundary Scan* non è in grado, per sua natura, di testare completamente tutti i circuiti presenti in una scheda elettronica: da solo non sarà mai in grado di testare parti analogiche, così come, più in generale, da solo non potrà testare autonomamente tutti i componenti sprovvisti di interfaccia *Boundary Scan*.

### Un approccio nuovo: il test funzionale integrato con test *Boundary scan*

Per poter testare in maniera completa un sistema è indispensabile associare al test *Boundary Scan* un test funzionale: in questo modo non solo si è in grado di completare il test del sistema in tutte quelle parti scoperte dal *Boundary Scan*, ma si può poi eseguire il test funzionale vero e proprio.

Contrariamente a ciò che accade implementando test ICT e funzionale, dove è quasi obbligatorio avere due differenti stazioni di test, in questo caso è possibile integrare tutto in un unico banco: infatti, dato che le connessioni richieste per accedere in *Boundary Scan* a una scheda sono solo quattro per ogni catena *Boundary*, è sufficiente aggiungere 4 aghi per integrare il *Boundary Scan* in una *fixture* funzionale.

IPSES, grazie all'esperienza nello sviluppo di dispositivi e interfacce per il test, funzionale, ICT e *Boundary scan*, ha perciò iniziato a sviluppare *fixture* e banchi di test che integrano entrambe le tecnologie, fornendo dispositivi completi con costi e tempi di sviluppo estremamente concorrenziali.



*Fixture* IPSES che integra in un unico dispositivo test funzionale e test *Boundary Scan*. A sinistra la *fixture* con inserito il DUT, a destra dettaglio dell'interno della *fixture* in cui si sono integrati sia i dispositivi per il test funzionale (schede YAV della 6TL) e interfaccia XJTAG per il Testing in *Boundary Scan*

## Test funzionale integrato + test *Boundary scan* = massima affidabilità ed efficacia

L'unione del test funzionale a quello *Boundary Scan* su un unico sistema porta a numerosi e notevoli benefici: non solo i due sono complementari e quindi la loro combinazione consente di coprire vicendevolmente le aree in cui sarebbero carenti, ma il loro uso integrato aumenta l'affidabilità e l'efficacia del test stesso che non sarà semplicemente la somma di quanto ottenibile singolarmente dai due. Facendo interagire le due tecniche si possono infatti creare condizioni di test favorevoli che altrimenti sarebbe impossibile avere: ad esempio, mediante l'eccitazione dei *probe* previsti per il test funzionali si possono generare *pattern* di test che possono essere verificati dalla catena *Boundary Scan* e, mediante *Boundary Scan*, si possono attivare parti di circuito che verranno poi verificate dalla parte funzionale.

L'efficacia di un approccio integrato non è quindi solo quella di avere una doppia tipologia di test in un unico dispositivo, ma di migliorare il test stesso che diviene più affidabile e sicuro:

- Copertura totale di tutti i circuiti del DUT (analogici e digitali) e tutte le *net*.
- Tempistiche di test inferiori: oltre al fatto che sequenze del test *Boundary Scan* e funzionale andranno in parallelo, occorre anche considerare il tempo di carico e scarico del DUT nel banco di test, che ovviamente raddoppia nel caso in cui si debbano usare due banchi.
- Elevate prestazioni di programmazione *in-system*
- Diagnostica dei guasti migliore e più accurata, con una reportistica unica.

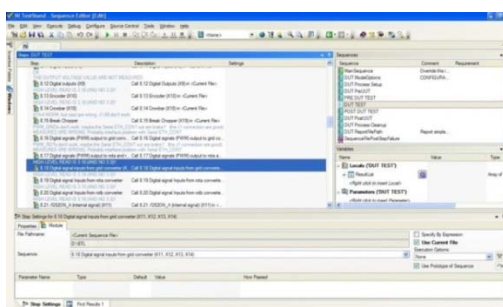
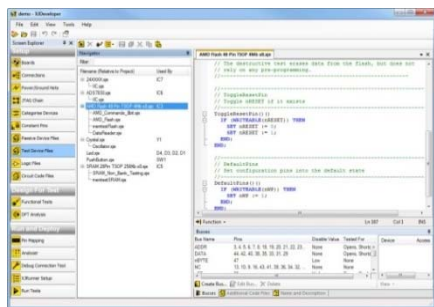


Per lo sviluppo di un sistema di test integrato National Instruments e XJTAG hanno a catalogo dei potenti *tool* che permettono di avere a disposizione sia tutto l'*hardware* necessario all'interfacciamento, sia gli ambienti di sviluppo per le sequenze di test: la scheda PXI di XJTAG e il cestello PXI di National Instruments equipaggiato con i moduli *hardware* specifici.



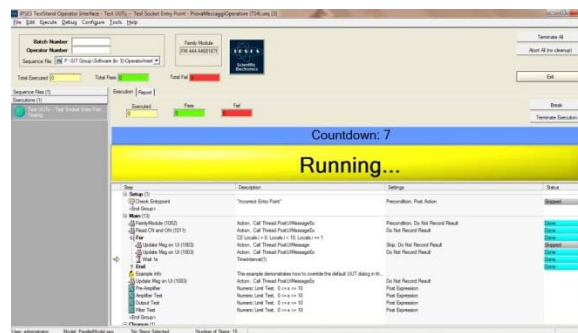
Schede PXI di XJTAG per il test *Boundary Scan* e cestello PXI di National Instruments equipaggiato con moduli hardware

Due tool per lo sviluppo di sequenze di test, ma un'unica interfaccia operatore

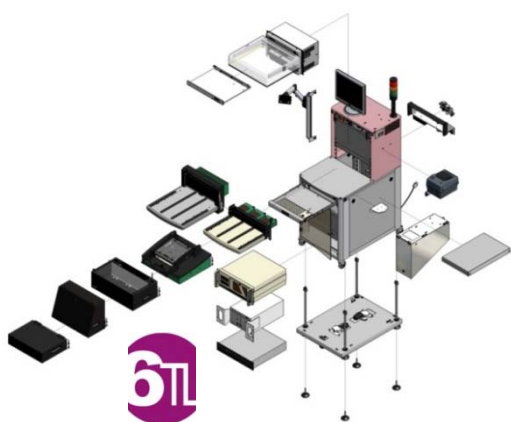


Sequenza *Boundary* con XTAG Developer, sequenza funzionale con NI TestStand

Anche se lo sviluppo della sequenza di test *Boundary* va effettuata con il tool specifico (l'ambiente XTAG developer), la sequenza generata può non solo essere associata con la sequenza del test funzionale sviluppato in TestStand di National Instruments, ma è possibile gestire congiuntamente le parti delle sequenze che prevedono l'interazione tra le due tipologie di test. In questo modo, una volta sviluppate e correlate le sequenze funzionali e *Boundary*, l'interfaccia operatore sarà unica.



Interfaccia operatore unica sviluppata da IPSES



Scegliendo una piattaforma modulare e customizzabile come quelle sviluppate da 6TL che consentono una facile integrazione dei diversi tipi di hardware, anche di terze parti, si potrà avere un unico banco facilmente upgradabile e configurabile che integri il test funzionale e *Boundary*, migliorando non solo l'affidabilità del test stesso, ma velocizzandolo con costi d'investimento decisamente più contenuti.

Contatti

IPSES S. r. l.

Sede operativa e centro di sviluppo:  
via Lazzarotto, 10  
20020 Cesate (MI) Italy

tel. +39 02 39449519  
e-mail: [info@ipses.com](mailto:info@ipses.com)

fax +39 02 700403170  
<http://www.ipses.com>



rappresentante esclusivo vendita e supporto tecnico Italia e Svizzera